

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03100991 A**

(43) Date of publication of application: 25 . 04 . 91

(51) Int. Cl **G11C 11/41**

(21) Application number: 01237075

(22) Date of filing: 14 . 09 . 89

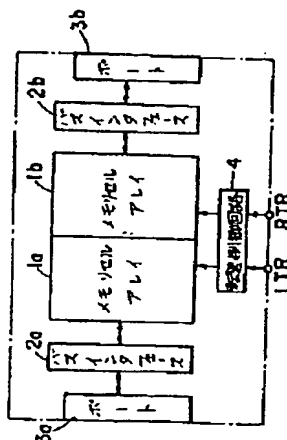
(71) Applicant: **HITACHI LTD HITACHI MICRO
COMPUT ENG LTD**(72) Inventor: **SATO YUTAKA**(54) **SHARED MEMORY**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To improve the throughput of data transfer by providing an input / output port corresponding to two memory cell arrays, for which data can be read out and written in at any time, and providing a means to transfer the stored data of one memory cell to the other memory cell.

CONSTITUTION: A microprocessor on a transmission side writes the data through a port 3a to a memory cell array 1a. When it is finished to write the data, the microprocessor on the transmission side asserts a transfer request signal LTR. According to a control signal from a transfer control circuit 4, a multiplexer is switched and the data are transferred to another memory cell array 1b. A microprocessor on a reception side can read out the data transferred through a port 3b. Thus, the two processors can simultaneously access the memory and when the data are written in, the data are immediately transferred to the other memory cell array. Then, the identity of the data is guaranteed.



⑫ 公開特許公報(A) 平3-100991

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月25日

G 11 C 11/41

8323-5B G 11 C 11/34

K

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 共有メモリ

⑰ 特 願 平1-237075

⑱ 出 願 平1(1989)9月14日

⑲ 発 明 者 佐 藤 豊 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

共有メモリ

2. 特許請求の範囲

1. 随時読出し書込み可能な2つのメモリセルアレイと、各メモリセルアレイに対応された2つの入出力ポートとを備え、上記2つのメモリセルアレイ間には一方の記憶データを他方のメモリセルアレイに転送するためのデータ転送手段が設けられてなることを特徴とする共有メモリ。

2. 上記データ転送手段は、2つのメモリセルアレイ内の対応するメモリセル同士を接続・離反可能に構成されていることを特徴とする請求項1記載の共有メモリ。

3. 外部からのデータ書込み終了信号もしくはデータ転送要求信号に基づいて上記データ転送手段に対する転送制御信号を形成し、供給する転送制御回路が設けられていることを特徴とする請求項1もしくは2記載の共有メモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、記憶管理技術さらには2つの入出力ポートを有する随時読出し書込み可能な半導体記憶装置に適用して特に有効な技術に関し、例えば、2以上のマイクロプロセッサで共有されるデュアルポートRAM(ランダム・アクセス・メモリ)に利用して有効な技術に関する。

〔従来の技術〕

パーソナルコンピュータのようなマイクロコンピュータシステムでは、2個以上のマイクロコンピュータ(もしくはマイクロプロセッサ)を用いて1つのシステムを構成することがある。この場合、一般的には一方がマスタ・マイクロコンピュータとして、また他方がこれを補助するスレーブ・マイクロコンピュータとして使われる。このような2つのマイクロコンピュータを有するシステムでは、マスタ側とスレーブ側のマイクロコンピュータ(以下、マイコンと称する)との間で通信が必要となる。そこで、この通信を高速で行なえるようにするため、デュアルポートRAMを用いた

パラレル方式の通信方式が提案されている。

すなわち、マスタ側マイコンとスレーブ側マイコンとの間にデュアルポートRAMを介在させてバスで接続し、一方のマイコンでデュアルポートRAMに書き込んだデータを他方のマイコンで読み取ることで2つのマイコン間の通信を行なうというものである。

このように、デュアルポートRAMは、マスタ側マイコン及びスレーブ側マイコンいずれの側からでもデータの読出し、書き込みを行なうことができる。しかしながら、マスタ側とスレーブ側の両方のマイコンから同時にデュアルポートRAMに書き込みを行なうと、データの競合が生じて誤ったデータが書き込まれ、正しい通信内容の伝達が行なえなくなるおそれがある。

そこで、デュアルポートRAMに対する書き込みの権利をどちらのマイコンが持つかをそれぞれマイコンのソフトウェアで決めてやり、ソフトウェアによる調停でデュアルポートRAMにおけるデータの競合を回避する方法ある。しかしながら、

するマルチプロセッサシステムにおけるデータ転送のスループットを向上することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【問題点を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、1つのメモリ装置内に2組のメモリセルアレイおよび2組のバスインタフェースを搭載しそれぞれのメモリセルアレイを独立にアクセス可能とするとともに、両メモリセルアレイの対応するメモリセル同士を接続し外部からの制御信号により任意の一方のメモリセルアレイの全ビット内容を他方のメモリセルアレイに転送可能とするものである。

【作用】

上記した手段によれば、各々バスインタフェースをもつ2つのメモリセルアレイがあるため、2つのプロセッサが同時にメモリをアクセスするこ

ソフトウェアによるデュアルポートRAMに対する書き込み権の調停方式では、調停のためのソフトウェアのオーバーヘッドが大きくなってシステムのスループットが低下してしまう。

そこで、2つのポートからの同時アクセスによる処理の競合を防止するアービタ（アクセス権裁定回路）を内蔵したデュアルポートRAMも開発されている（㈱日立製作所 1988年2月発行、「日立マイクロコンピュータデータブック 8/16ビットマイクロコンピュータ周辺LSI」第720頁～第781頁）。

【発明が解決しようとする課題】

従来のデュアルポートメモリは、2つのマイコンもしくはプロセッサからのアクセスが可能であるが、メモリセルアレイが一つであるため両プロセッサがこれを同時にアクセスすることはできない。このため一方のプロセッサがデュアルポートメモリをアクセスしているとき、他方のプロセッサはメモリアccessを待たされてしまう。

この発明の目的は、デュアルポートメモリを有

とができるとともに、2つのメモリセルアレイのセル同士が接続されているため、一方のメモリセルアレイにデータを書き込むと直ちに他方のメモリセルアレイへ転送でき、これによってデータの同一性も保証できる。

【実施例】

以下本発明の一実施例を図面を用いて説明する。

先ず本実施例の構成を第1図に示すブロック図に従い説明する。

この実施例の共有メモリは、2つのメモリセルアレイ1aと1bを有する。メモリセルアレイ1aと1bは全く同一の構成および容量を持ち、一方に書き込まれたデータを他方のメモリセルアレイに転送できるように、各メモリセルアレイ内の対応するメモリセル同士が接続可能にされている。バスインタフェース2a、2bは、それぞれメモリセルアレイ1a、1bをポート3a、3bと接続し、各メモリセルアレイを外部端子からアクセス可能とするものである。

また、4は一方のメモリセルアレイに対するデ

ータ書き込み後に、外部から入力される転送要求信号もしくは書き込み終了信号に基づいて、書き込みデータを他方のメモリセルアレイへ転送させるための内部制御信号を形成する転送制御回路である。

この実施例のメモリセルアレイ1a, 1bは電荷蓄積型のセルで構成してもよいが、データ転送の点からスタティック型メモリセルで構成するのが望ましい。

第2図には、2つのメモリセルアレイ間でデータの転送を可能にする回路の構成例が示されている。

第2図において11aはメモリセルアレイ1a内の一つのメモリセル、11bはメモリセルアレイ1b内の一つのメモリセルである。この実施例では各メモリセル11a, 11bが、各々マルチプレクサ12a, 12bを介して対応するデータ線13a, 13bに接続可能にされているとともに、メモリセル11aと11b間のデータ転送もマルチプレクサ12a, 12bを介して可能にされている。

てメモリセルアレイ1bをアクセスすると、転送されたデータを読み出すことができる。

一方、送信側のマイクロプロセッサは、受信側のプロセッサの読み出しを待つことなく次の送信データをメモリセルアレイ1aに書き込むことができる。

従って、この実施例のデュアルポートメモリを、例えばエミュレータのトレースメモリとして使用すると、トレースをしながら既にトレースしたデータを読み出して表示させることができる。

なお、メモリセルアレイ1aから1bへのデータ転送中はメモリセルアレイ1bに対する読み出しが待たれるが、その時間はわずかであり、データ書き込み中ずっと待たされる従来のデュアルポートメモリに比べて大幅に待ち時間が短縮される。

上記実施例のデュアルポートメモリの場合、一方のメモリセルアレイへの書き込み中、他方のメモリセルアレイの読み出しを行なうと、メモリセルアレイ間のデータの不一致が生じるが、デュアルポートメモリを例えばエミュレータのトレース

なお、14a, 14bはメモリセルアレイ1a, 1b内の各ワード線、5a, 5bはワード線を選択するためのXデコーダである。

次に、一方のポート3aからメモリセルアレイ1aに対するデータの書き込みがあった場合の動作を説明する。

先ず図示しない送信側のマイクロプロセッサがポート3aを介してアドレスとデータを供給し、メモリセルアレイ1aにデータを書き込む。このとき、メモリセルアレイ1a内の選択メモリセルはマルチプレクサ12aによりデータ線13a側に接続される。データの書き込みが終了すると送信側のマイクロプロセッサは転送要求信号LTRをアサートする。すると、転送制御回路4からの制御信号によってマルチプレクサ12aが切り換えられ、他方のメモリセルアレイ1b内の対応するセル同士が全て接続される。これによってメモリセルアレイ1a内のデータは一括してメモリセルアレイ1bに転送される。その後、図示しない受信側のマイクロプロセッサがポート3bを介し

メモリに使うような場合、トレースしたデータはもともと過去のデータであり、トレースタイミングさえ判ればよいので、メモリセルアレイ間のデータの不一致は問題とならない。

なお、上記実施例では同一チップ上に2つのメモリセルアレイとバスインタフェースを設けるようにした実施例について説明したが、第3図に示すようにメモリセルアレイを対照的なレイアウトで別々のチップA, B上に形成し、各メモリセルごとにその入出力端子部にパッドPを設けるとともに、2つのチップ間には基板の電位を変えることで縦方向に導通/遮断可能なチャネル部もしくは接合型FETのようなスイッチ素子Sがメモリセルアレイに対応してマトリクス状に形成されてなる接続用チップCを介在させ、このチップCを挟んでチップA, B, Cを接合させることでデュアルポートメモリを構成することも可能である。

以上説明したように上記実施例は、1つのメモリ装置内に2組のメモリセルアレイおよび2組のバスインタフェースを搭載しそれぞれのメモリセ

ルアレイを独立にアクセス可能とするとともに、両メモリセルアレイの対応するメモリセル同士を接続し外部からの制御信号により任意の一方のメモリセルアレイの全ビット内容を他方のメモリセルアレイに転送可能としたので、2つのプロセッサが同時にメモリをアクセスすることができるとともに、2つのメモリセルアレイのセル同士が接続されているため、一方のメモリセルアレイにデータを書き込むと直ちに他方のメモリセルアレイへ転送され、データの同一性が保証されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。メモリセルアレイ1aと1bの各メモリセルを1対1で接続可能にしたが、例えばメモリセルアレイ1行分のデータを格納可能なレジスタを設け、1行ずつデータを読み出してレジスタに保持させ他方のメモリセルアレイに転送するようにし

てもよい。また、第2図の実施例におけるマルチプレクサの代わりに切換スイッチを設けるようにしてもよい。

以上の説明では主として本発明者によってなされた発明を、その背景となった利用分野であるマルチプロセッサシステムにおけるデータ転送に使用されるデュアルポートメモリの共有メモリに適用したものについて説明したが、メモリ内部でデータ転送が必要なシングルポートのメモリにも利用することができる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、デュアルポートメモリを有するマルチプロセッサシステムにおけるデータ転送のスループットを向上させることができる。

4. 図面の簡単な説明

第1図は本発明に係るデュアルポートメモリの一実施例を示すブロック図。

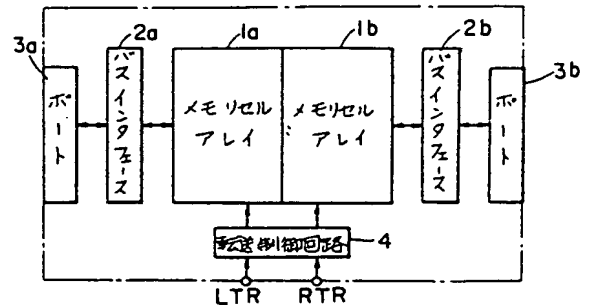
第2図はメモリセルアレイ間のデータ転送手段の構成例を示すブロック図。

第3図は本発明に係るデュアルポートメモリの他の構成例を示す斜視図である。

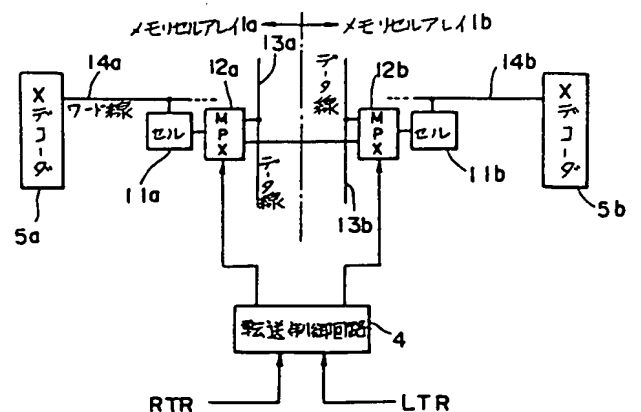
1a, 1b……メモリセルアレイ、3a, 3b……ポート、4……転送制御回路、11a, 11b……メモリセル、12a, 12b……データ転送手段(マルチプレクサ)。

代理人 弁理士 小川勝男

第1図



第2図



第 3 図

